

(11)特許出願公開番号

特開2000-269515

(P2000-269515A)

(43)公開日 平成12年9月29日(2000.9.29)

(51) Int.Cl.⁷

識別記号

FI

テーマコート* (参考)

H O 1 L 29/786

H O 1 L 29/78

6 1 8 B

51/00

29/28

21/336

29/78

617T

626C

6 2 7 Z

審査請求 有 請求項の数15 O.L (全 9 頁)

(21)出願番号 特願2000-64964(P2000-64964)

(22)出願日 平成12年3月9日(2000.3.9)

(31)優先権主張番号 09/265161

(32)優先日 平成11年3月9日(1999.3.9)

(33)優先権主張国 米国 (US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS
MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74)代理人 100086243

弁理士 坂口 博 (外1名)

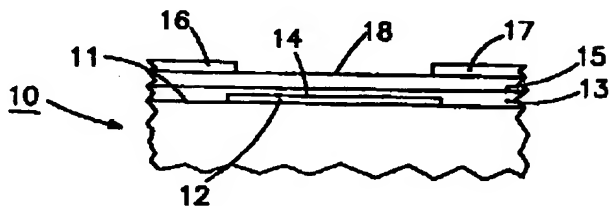
最終頁に続く

(54) 【発明の名称】 低温薄膜トランジスタの作製方法およびトランジスタ・デバイス

(57) 【要約】

【課題】 デバイス構造に、無機混合酸化物のゲート絶縁体と接触する有機半導体層を使用することにより、薄膜トランジスタ(TFT)・デバイスに使用できる物質とプロセスの範囲を広げること。

【解決手段】 作製方法は、半導体層の物質として有機半導体物質を用意するステップと、ゲート絶縁層の物質として無機酸化物を用意するステップと、スパッタリング、スピニング、蒸着、レーザ・アブレーションのグループから選択されるプロセスにより、基板温度約25℃乃至150℃で、半導体層とゲート絶縁層のいずれか一方を他方に被着するステップとを含む。



【特許請求の範囲】

【請求項1】基板上で、ゲート絶縁層に接触した少なくとも半導体層の連続被着により低温薄膜トランジスタを作製する方法であって、前記半導体層の物質として有機半導体物質を用意するステップと、前記ゲート絶縁層の物質として無機酸化物を用意するステップと、スパッタリング、スピニング、蒸着、レーザ・アブレーションのグループから選択されるプロセスにより、基板温度約25℃乃至150℃で、前記半導体層と前記ゲート絶縁層のいずれか一方を他方に被着するステップと、を含むことを特徴とする方法。

【請求項2】前記基板としてプラスチック物質を使用する、請求項1記載の方法。

【請求項3】前記層の連続被着で、前記基板上にゲート電極を被着するステップと、前記半導体層と合わせて、ソースとドレインの電極を被着するステップを含む、請求項2記載の方法。

【請求項4】前記ソースとドレインの電極は、前記半導体層よりも前に被着される、請求項3記載の方法。

【請求項5】前記ソースとドレインの電極は、前記半導体層上に被着される、請求項3記載の方法。

【請求項6】前記基板は、ポリカーボネートのプラスチック、シリコン、水晶、ガラスのグループから選択される少なくとも1つの物質である、請求項3記載の方法。

【請求項7】前記電極は、ドーパしたシリコン、金、銀、銅、アルミニウム、モリブデン、プラチナ、導電ポリマのグループから選択される少なくとも1つの物質である、請求項6記載の方法。

【請求項8】前記ゲート絶縁層は、TaO、VO、TiO、強誘電絶縁体BiTiO、BaMgF、SrTiO、混合酸化物SrBTaNbO、PbZrTiO、BaZrTiO、BaSrTiOを含む無機酸化物のグループから選択される少なくとも1つの無機酸化物である、請求項7記載の方法。

【請求項9】前記有機半導体層の物質はペンタセンである、請求項8記載の方法。

【請求項10】作製時に約25℃乃至150℃の温度範囲で処理され動作する薄膜トランジスタ・デバイスであって、導電ゲート電極が被着される基板と、前記基板上及び前記ゲート電極上に位置付けられる無機ゲート絶縁層と、前記ゲート絶縁層と接触するよう位置付けられる有機半導体層と、前記ゲート電極に対して位置合わせされて前記有機半導体層と接触するソースとドレインの電極と、を含む、トランジスタ・デバイス。

【請求項11】前記無機ゲート電極は、誘電定数約15のBZT (barium zirconate titanate) である、請求項10記載のトランジスタ・デバイス。

【請求項12】前記基板は、ガラス、プラスチック、水晶を含むグループから選択される、請求項11記載のトランジスタ・デバイス。

【請求項13】前記ゲート及び前記ソースとドレインの電極の物質は、ドーパしたシリコン、金属、導電ポリマのグループから選択される、請求項12記載のトランジスタ・デバイス。

【請求項14】前記無機ゲート絶縁層は、TaO、VO、TiO、強誘電絶縁体BiTiO、BaMgF、SrTiO、混合酸化物SrBTaNbO、PbZrTiO、BaZrTiO、BaSrTiOを含む無機酸化物のグループから選択される少なくとも1つの無機酸化物である、請求項13記載のトランジスタ・デバイス。

【請求項15】前記有機半導体層の物質はペンタセンである、請求項14記載のトランジスタ・デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜電界効果トランジスタ(TFT)に関して、特に薄膜TFTデバイスの構造と、150℃のオーダ以下の低温での薄膜TFTデバイスの処理に関する。

【0002】

【従来の技術】現在の技術では、フラット・パネル・ディスプレイ用途で有益な薄膜電界効果トランジスタ(TFT)は、一面では、分離したソースとドレインの電極によって、別の面ではチャネルに対して中央の位置を占める絶縁ゲート電極によってチャネルが定義される半導体層を伴う。通常、TFTデバイスの構造は、基板の層を精密に制御する連続被着操作により作製される。TFTに求められる電気特性として、低電圧動作、チャネルでの高いキャリア移動度及び飽和領域の前に急峻な勾配を含む電流/電圧出力特性がある。

【0003】通常、現行のTFTデバイスは、アモルファス・シリコン(a-Si:H)を半導体として、酸化シリコンや窒化シリコンをゲート絶縁体として使用する。半導体としてのアモルファス・シリコンの代用として、半導体の性質を示す有機化合物を使用することも検討されている。

【0004】技術発展の中、素子の密度と応答性を高める必要がこれまで以上に切迫したものになっているほか、透明な基板の軽量化、機械的柔軟性、耐衝撃性に対する要求も出てきている。全ての制約を満たすことはますます困難になっている。a-Si:H TFTデバイスをベースにしたアクティブ・マトリックス型液晶ディスプレイ(AMLCD)を作製する数々の材料と処理方式は、温度が350℃を超えるため、他の場合には有用

な多くの基板物質が使用できなくなる。TFTデバイス向けの幅広い物質やプロセスに対するニーズが、特に表示用の厳格な基準を背景にして増加している。特に好ましいのは、AMLCD用の透明プラスチック基板であるが、これは150℃乃至200℃を超える温度には耐えない。

【0005】

【発明が解決しようとする課題】本発明は、デバイス構造に、無機混合酸化物のゲート絶縁体と接触する有機半導体層を使用することにより、TFTデバイスに使用できる物質とプロセスの範囲を広げるものである。

【0006】

【課題を解決するための手段】本発明は、室温程度から約150℃までの温度範囲で適用される処理方式を伴うデバイス構造に、無機混合酸化物のゲート絶縁体に接触する有機半導体層を使用することにより、TFTデバイスに使用できる物質とプロセスの範囲を広げるものである。

【0007】本発明のTFTは、スパッタリング、スピニング、蒸着、レーザ・アブレーションのうち少なくとも1つの手法を採用し、透明なポリカーボネート基板に形成されたBZT (barium zirconate titanate) のゲート絶縁層にベンタセン半導体層が接触する。

【0008】

【発明の実施の形態】従来技術の図1を参照する。TFTデバイスは絶縁基板1により支持され、半導体領域2の電界効果チャンネル3により、半導体領域2の1面にソース4とドレイン5が定義・隔離され、半導体領域2の別の面で、絶縁体7によってゲート電極6がチャンネル3から分離され、チャンネル3に対して中央に位置付けられる。デバイスには高度な電気特性が要求されるため、デバイス作製時に各層及び処理パラメータに関係する物質と寸法に厳しい条件が課される。現行デバイスの多くは、半導体2としてアモルファス・シリコン(a-Si:H)を、ゲート絶縁体7としてSiO₂、SiN等の従来の誘電物質を使用する。基板1は通常はガラスである。使用される物質とそれらに必要な処理では、デバイスの作製時に、数100℃の範囲の温度が必要になる。

【0009】技術が進むと、性能の向上につれて制約が増えるほか、機械的柔軟性、耐衝撃性、軽量化等の物理特性をデバイスに作り込むことが求められるようになり、これはまた、物質の選択、半導体2、ゲート絶縁体7、基板1の寸法と処理にも影響を与えることがある。

【0010】本発明により、有機半導体を、約25℃乃至約150℃の範囲の室温に近いプロセスで処理した、誘電定数が15以上の無機酸化物ゲート絶縁体7と組み合わせることで、チャンネル3のTFTキャリア移動度が許容できるデバイスが作製できる。更に、室温に近いこのプロセスでは、使用できる素材の範囲を広げ、基板1にポリカーボネート膜等の薄く透明なプラスチックも追

加することができる。室温に近いプロセスは、被着及びその後のアニール型ステップで、温度が最大約150℃のプロセスとみなすことができる。この温度範囲は、現在の技術の300℃乃至400℃のレンジよりかなり低い。このようなプロセスでは、スパッタリング、スピニング、蒸着、レーザ・アブレーション等も可能である。

【0011】図2乃至図5に示した形成物の一部は、図6に示す新規のTFTになる。

【0012】図2を参照する。TFTデバイスは、表面11上でのデバイス作製時に支持体になり、完成したデバイスの一部として機能する基板10に作製される。作製時、基板は室温(25℃)に近い温度に保たれる。酸化シリコン、水晶、ガラスは、基板及び支持材として適している。更に、本発明によって得られる機能を通して、基板物質の選択の幅が広がり、対衝撃性、軽量、柔軟性といった性質を加えるポリカーボネート等のプラスチックが追加される。

【0013】図3を参照する。ゲート、ソース、ドレインの電極のうち第1のゲート電極12が基板11に被着される。電極12は約0.1マイクロメートルの厚みである。ゲート、ソース、ドレインの電極に使用できる物質は、ドーパしたシリコン、金、銀、パラジウム、アルミニウム、銅、モリブデン、プラチナ等の金属や、ポリアニリン、ポリピロール等の導電ポリマである。電極と接続材の抵抗は、信号の減衰が最小になるよう選択する必要がある。

【0014】図4を参照する。ゲート誘電材13は、本発明に従って、ゲート電極12の表面11に被着される無機酸化物である。被着は、低温法のスパッタリング、スピニング、蒸着、レーザ・アブレーションのいずれかで、約25℃乃至150℃と室温に近い温度範囲で行われる。現在の技術に適した無機酸化物としては、TaO₂、VO₂、TiO₂及び強誘電絶縁体BiTiO₅、BaMgF₂、SrTiO₃等があり、同じ種に、(PZT)として知られる混合酸化物SrBaNbO₆、PbZrTiO₃、(BZT)として知られるBaZrTiO₃、(BST)として知られるBaSrTiO₃がある。この例の混合酸化物の素材のうち、BZTは、WuらによるAppl. Phys. Lett., 69, 1996, pages 2659-2661の記事で言及されている。ゲート誘電材13は、ゲート電極12の上の領域14に約0.5マイクロメートルの厚みまで被着される。本発明に従って、最大約150℃までの室温に近い温度範囲で無機ゲート酸化物の素材が被着され、誘電定数が15以上の範囲のデバイスのゲート絶縁体が得られる。これは、作製されているデバイス・チャンネルで許容できるキャリア移動度を示す。これまでの誘電定数は、約300とかなり高く、高温のアニール・ステップが必要だったため、一部の物質は使用できなかった。更に、高誘電定数のデバイスに想定されていた用途は、ディスプレイではなく、シリコン基板上に

作製されるデバイスだった。

【0015】図5を参照する。本発明のTFTデバイスの有機半導体層15が、ゲート絶縁層13上に、室温に近い温度で被着される。これに適した有機半導体物質は、ペンタセンで、これを使用したTFTデバイスは、電界効果のキャリア移動度が、チャンネルで約 $0.6 \text{ cm}^2/\text{V}\cdot\text{s}$ 、電流変調が最大10、動作電圧範囲が最大+100Vという性能を示す。ペンタセンという物質は、LinらによるIEEE 54th Annual Device Research Conference, 1996, Pages 80-81、BrownらによるJ. App. Phys. 79, (4), 1996, Pages 2136-2138及びDimitrakopoulosらによるJ. App. Phys. 80, (4), 1996, Pages 2501-2507に言及されている。更に、米国特許出願第08/827015号(3/25/97出願)と同08/827018号(3/25/97出願)は、前記の性能が、誘電定数15を超える無機ゲート誘電体を使用して達成されることを示している。

【0016】図6を参照する。本発明のTFTが示してある。ソース16、およびドレイン17が、ゲート12上の中央にチャンネル定義分離領域18が位置するように、ゲート12の位置に合わせて、室温に近い温度の低温被着プロセスにより有機半導体層15の露出面に被着される。25℃乃至150℃と室温に近い温度で被着され動作する層は、有機半導体に求められる適度な誘電性に適合し、かなりの低温に耐える基板(プラスチック等)での処理が可能になり、そのような基板の用途が開ける。

【0017】図2乃至図6に関して説明したプロセスでは、室温に近い温度範囲内である限り、露出面に保護膜を被覆でき、必要なら、層のアニール処理も可能なことは明らかである。

【0018】スパッタリングを伴う室温型被着法について、図7に示した装置を参照して説明する。スパッタ被着装置20により、本発明の層13、15が、例えば、無機混合酸化物BZT (Barium-Zirconate-Titanate) を使って被着できる。図7の装置が、サイズやスループットが様々な装置の1例にすぎないことは、当業者には明らかであろう。

【0019】装置20は、反応室21と真空ポンプ(図示せず)がスロットル・バルブ22によって分けられる。反応室21には、PURE TECH製の圧縮粉末BZTのスパッタリング・ターゲット23が装着される。ターゲット23の背面には、スパッタリング時のプラズマ濃度を上げるため永久磁石24が置かれる。スパッタリング・ターゲット23は、ハウジング29から電気的に分離され、インピーダンス・マッチング・デバイス26を通してRF電源25に電気的に接続される。シリコン・ウエハ、ガラス板、ポリカーボネート板等の基板27が、サンプル・ホルダ28に装着される。ホルダ28は、誘電スペーサ30により反応室ハウジング29から

分離される。ハウジング29は、室温等の所定の温度に維持される。サンプル・ホルダ28には、インピーダンス・マッチング・デバイス32を通して接続されるRF電源31を使用したプラズマ・クリーニングのため、RFバイアスをかけることができる。基板ホルダ28はまた回転機能33を備える。基板27は、遊星回転機能34を備え、コーティング時の基板全面に均一性が保たれる。室温で被着された膜は、有機半導体TFTに求められる適度な誘電性によく適合し、使用できる基板の範囲が広がり、プラスチック基板での処理も可能になる。

【0020】図7で、反応装置20は、各種ガスを導入する導管36、38を含む。例えば、導管36を通してアルゴンが、導管38を通して酸素が導入される。本発明の以下の例に使用されるガスの純度は、約95.5%、好適には約98.5%乃至約99.9%にする必要がある。

【0021】図7で、アルゴン・ガス及び酸素ガスは、最初、別々のフロー・コントローラを通して、十分な流量が反応室に導入され、Arと酸素の総圧力は約1mTorr乃至50mTorrになる。Arと酸素の流量は約100sccm乃至1sccm(標準立方cm毎分)、好適にはAr流量が約10sccm、酸素流量が約2sccmである。BZT膜等の効果の大きい被着層を形成するには、アルゴンと酸素の圧力を約2mTorr乃至3mTorrにするのが望ましい。このような条件はまた、Arと酸素を1つのガス・シリンダで予め混合して所望のガス濃度にする事で得られる。アルゴン・ガス及び酸素ガスは、好適には、導管36、38の2つのフロー・コントローラを通して反応室に導入される。

【0022】室温に近い温度で被着される本発明の層や膜をコーティングできる適切な基板として、プラスチック、金属、各種ガラス、シリコン・ウエハ等の素材がある。コーティングされる基板は、スパッタリング装置内に配置できれば、任意の形状、大きさでよい。従って、任意の寸法の標準的な基板または非標準的な基板を使用でき、スパッタリング装置の設計に応じて、真空室に変更を加え、ロール搬送式に送られるシート材にコーティングを施すこともできる。処理時、基板は、スパッタリング装置の反応性スパッタ室の内側の基板ホルダに装着される。次に、反応性スパッタ室が密閉され、圧力が約 1×10^{-4} Torr乃至約 1×10^{-7} Torrの範囲になるまで排気される。基板は、好適には、被着プロセスを通して約25℃の一定の室温に保たれる。必要なら、使用される基板物質を、例えば、 H_2 、Ar、 O_2 、 N_2 等を用いたプラズマ・スパッタ・エッチング法により、その場のプラズマ・クリーニングにかけてもよい。

【0023】所望の排気圧が得られた後、混合ガスが、例えば流量約1sccm乃至100sccmで反応性スパッタ室に導入される。Arガスの流量は約10scc

m、酸素は約2 sccmである。この例のガスは、圧力約1 mTorr乃至20 mTorr、好適には、混合圧約3 mTorrで反応室に導入される。

【0024】混合ガスの反応性スパッタリング・プラズマを得るため、被着プロセスの間、例のBZTターゲット23に約0.05 W/cm²乃至4 W/cm²のRF電力密度がかけられる。RF電力は、好適には、被着プロセスの間、要素25、26を含むRF電源を通して0.8 W/cm²に維持される。BZT膜は、基板上の膜のコーティングが実質的に連続するように、約10オングストローム毎分で基板に被着される。この条件により、厚み約100オングストローム乃至5000オングストローム、好適には約1250の膜が被着される。

【0025】以下、本発明の被着と構造を説明する例1、2、3を示す。スパッタ被着プロセスは、図7では1例としているが、他の室温に近いプロセスも採用できる。

【0026】例1：150 Åのチタンとこれに続く400 Åのプラチナのブランケット・コーティングを含むシリコン・ウェハ等の基板を、図7に関して説明するように、BZTスパッタ被着室にロードできる。スパッタ室は、基本圧力 2.1×10^{-7} Torrまで排気され、その後、流量10 sccmのアルゴン・ガスと2 sccmの酸素ガスが要素36、38を通してスパッタ室に導入される。スパッタ室のバルブ操作により、総圧力2 mTorrが得られる。このガスを5分間排出した後、要素25、26を通してBZTスパッタ・ターゲット23に高周波交流電圧がかけられてスパッタ室内のプラズマが点火され、その間スパッタ室はグラウンド電圧に保たれる。これにより得られるRFプラズマのイオンを利用して、ターゲットからスパッタ室にロードされたサンプル27へBZTがスパッタされる。電力密度約0.8 W/cm²に相当する総電力100 Wで、約1250 Å厚のBZTが得られる。ウェハは、工程の終わりにアンロードされ、別の真空装置で金属マスクを通した電子ビーム蒸着により被着された5000 Å Al/600 Å Auの2重層で構成される上電極ドットのアレイが付加される。これらの要素は、BZT膜の誘電定数とブレイクダウン特性の測定に使用される。厚み1250 ÅのBZT膜で、誘電定数は17.3、ブレイクダウン電界は約1 MV/cmである。

【0027】前記の方法により、室温で被着されるBZT膜は、厚み1000 Å乃至2000 Å、誘電定数15乃至20であり、これは、ブレイクダウンなしに約1 MV/cmの電界に耐える。

【0028】例2：図2乃至図6を参照して説明したTFT作製ステップと共に、例1で述べた室温に近いスパッタリングにより、BZTの薄膜をゲート絶縁体としたTFTが作製される。この例で、酸化したシリコンの基板は、イソプロパノール槽の超音波攪拌により洗浄さ

れ、窒素乾燥される。次に、ゲート・ラインに対応する開口のある金属マスクで組み付けられて固定され、電子ビーム蒸着装置内で高真空まで排気される。電子ビーム蒸着により、アルミニウム400 Åまたはチタン150 Åとこれに続くプラチナ300 Åの2重層のいずれかのゲート・メタライゼーションが基板に被着される。次に、例1で述べたように、BZTのゲート絶縁膜13がゲート12の上と基板表面11に被着される。

【0029】BZTゲート絶縁体13上には、真空中で、個々のデバイスを相互に分離し、デバイスの領域の外側に被着されるペンタセン層を通る電流である2次電流を減らすマスクを通した熱蒸着により、有機半導体ペンタセン層15が被着される。サンプルは、次に、ソースとドレインのコンタクト電極用の開口のあるマスクで組み付けられ、固定され、電子ビーム蒸着装置内で排気され、金600 Åがコーティングされ、ソース16とドレイン17のコンタクトが形成される。得られるTFT構造を図6に示している。これに代えて、ソース16とドレイン17のコンタクトは、絶縁体13の上に配置でき、次にペンタセン層15をその上に配置できることは、当業者には明らかであろう。

【0030】室温に近い被着法での作製の容易さには様々な側面がある。例えば、被着時、ペンタセン層15は、ペンタセンの可溶性前駆体を使用して被着できる。この前駆体は、A. R. BrownらによるJ. App. Phys. Volume 79, page 2136、1996の記事に述べられているように、真空中140℃までの加熱によりペンタセンに変化する。同様に、物質では、モリブデン、タングステン、ニッケル、プラチナ、パラジウム、導電ポリマ、オリゴマ、有機分子等、幅広い電極物質がある。

【0031】完成したTFTサンプルは、次に、Hewlett Packardのモデル4145B半導体パラメータ・アナライザにより電気的にテストされ、図8乃至図16に関して説明する動作特性が調べられる。

【0032】図8、図9及び図10を参照する。ペンタセン有機半導体TFTの典型的な動作特性が示してある。これは、図6に示すBZTの無機混合酸化物ゲート誘電体を含み、BZTゲート絶縁体の厚みは約1220 Å、誘電定数は17.3である。BZTは、図7に関して説明しているようにスパッタ蒸着により被着される。ソース/ドレインの分離幅（チャネル長L）は18.4 μm、チャネル幅Wは1500 μmである。図8及び図9は、飽和状態でのドレイン電流（I_D）のゲート電圧（V_G）に対する依存性を示す。図10は、I_Dの平方根とV_Gの図である。電界移動度μは、図の勾配から0.32 cm² V⁻¹ s⁻¹と計算される。電流変調は、ゲート電圧変動19ボルト（+5 V乃至-14 V）で約10⁵である。サブスレショルド勾配は、電流変調10当たり約2ボルトである。

【0033】図11、図12及び図13は、図2乃至図

7に関して説明した手順により別のTFTデバイスから測定されて図8及び図10と同様に描いたデータを示す。ただしチャネル長は $11.2\mu\text{m}$ 、幅は $1500\mu\text{m}$ である。各種特性パラメータの計算値は、図8乃至図10と合わせて述べたものに近い。

【0034】図14及び図15は、 1280\AA 厚のBZTゲート絶縁体を含み、チャネル長 $125\mu\text{m}$ 、チャネル幅 $500\mu\text{m}$ の別のTFTデバイスの特性を示す。図14は、様々なゲート電圧レベルで測定されたドレーン電流(I_D)とドレーン電圧(V_D)と共に、TFTの予想動作を示す。図15は、このデバイスの、図8乃至図10、及び図11乃至図13に示すような飽和領域ではなく線形領域での I_D と V_G を示す。この線形領域の分析から計算される移動度は $0.27\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ である。これら異なる特性は全て、そのようなTFTをディスプレイに使用する上で適しているとみなされる。

【0035】使用できる基板の幅を広げる例として、プラスチック基板での本発明を示す例3について説明する。

【0036】例3：TFTデバイスは、図7で述べたスパッタリングと、図2乃至図6に関して述べた他の層を被着するステップにより、厚み約 1280\AA まで被着されたBZTゲート絶縁体を使用し、厚み $0.020''$ (約 0.5mm)の透明なポリカーボネート基板に作製される。

【0037】TFT特性の測定は、例2に述べた形で行われた。図16を参照する。この種の基板上の、チャネル長 $69\mu\text{m}$ 、チャネル幅 $1500\mu\text{m}$ のTFTデバイスのドレーン電流とドレーン電圧が示してある。デバイスの移動度は $0.14\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 、飽和領域で $0.20\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ と計算された。 W/L 比が4のデバイスからは $0.38\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ と高い移動度が測定された。これらの値は、プラスチック基板上に作製されたデバイスについて報告された移動度としては最大であり、最大ゲート電圧4Vで得られており、従ってディスプレイ用途に十分に適している。

【0038】有機半導体トランジスタをプラスチック基板上に作製する初期の試みは、GuarnierらによるScience, Vol. 265, 1684, (1994)の記事にあるとおり、本発明に比べて性能が低い。本発明の移動度は、Guarnierらの記事で報告された移動度の3倍以上である。本発明では、透明プラスチック基板上に作製できるように温度を室温に近くしたプロセスで、無機混合酸化物のゲート絶縁体を含み、動作電圧が低く移動度の高いペンタセン・ベースのTFTが作製できる。

【0039】ここで説明したことは、デバイス構造に無機混合酸化物のゲート絶縁体と接触する有機半導体層を使用し、室温に近い温度範囲で可能な手法を用いた処理により、TFTデバイスに使用できる物質とプロセスの幅を広げることである。

【0040】まとめとして、本発明の構成に関して以下の事項を開示する。

【0041】(1)基板上で、ゲート絶縁層に接触した少なくとも半導体層の連続被着により低温薄膜トランジスタを作製する方法であって、前記半導体層の物質として有機半導体物質を用意するステップと、前記ゲート絶縁層の物質として無機酸化物を用意するステップと、スパッタリング、スピニング、蒸着、レーザ・アブレーションのグループから選択されるプロセスにより、基板温度約 25°C 乃至 150°C で、前記半導体層と前記ゲート絶縁層のいずれか一方を他方に被着するステップと、を含むことを特徴とする方法。

(2)前記基板としてプラスチック物質を使用する、前記(1)記載の方法。

(3)前記層の連続被着で、前記基板上にゲート電極を被着するステップと、前記半導体層と合わせて、ソースとドレーンの電極を被着するステップを含む、前記(2)記載の方法。

(4)前記ソースとドレーンの電極は、前記半導体層よりも前に被着される、前記(3)記載の方法。

(5)前記ソースとドレーンの電極は、前記半導体層上に被着される、前記(3)記載の方法。

(6)前記基板は、ポリカーボネートのプラスチック、シリコン、水晶、ガラスのグループから選択される少なくとも1つの物質である、前記(3)記載の方法。

(7)前記電極は、ドーパしたシリコン、金、銀、銅、アルミニウム、モリブデン、プラチナ、導電ポリマのグループから選択される少なくとも1つの物質である、前記(6)記載の方法。

(8)前記ゲート絶縁層は、 TaO 、 VO 、 TiO 、強誘電絶縁体 BiTiO 、 BaMgF 、 SrTiO 、混合酸化物 SrB Ta Nb O 、 PbZrTiO 、 BaZrTiO 、 BaSrTiO を含む無機酸化物のグループから選択される少なくとも1つの無機酸化物である、前記(7)記載の方法。

(9)前記有機半導体層の物質はペンタセンである、前記(8)記載の方法。

(10)作製時に約 25°C 乃至 150°C の温度範囲で処理され動作する薄膜トランジスタ・デバイスであって、導電ゲート電極が被着される基板と、前記基板上及び前記ゲート電極上に位置付けられる無機ゲート絶縁層と、前記ゲート絶縁層と接触するよう位置付けられる有機半導体層と、前記ゲート電極に対して位置合わせされて前記有機半導体層と接触するソースとドレーンの電極と、を含む、トランジスタ・デバイス。

(11)前記無機ゲート電極は、誘電定数約15のBZT (barium zirconatetitanate) である、前記(10)記載のトランジスタ・デバイス。

(12)前記基板は、ガラス、プラスチック、水晶を含むグループから選択される、前記(11)記載のトラン

ジスタ・デバイス。

(13) 前記ゲート及び前記ソースとドレインの電極の物質は、ドーパしたシリコン、金属、導電ポリマのグループから選択される、前記(12)記載のトランジスタ・デバイス。

(14) 前記無機ゲート絶縁層は、 TaO 、 VO 、 TiO 、強誘電絶縁体 $BiTiO$ 、 $BaMgF$ 、 $SrTiO$ 、混合酸化物 $SrB-Ta-NbO$ 、 $PbZrTiO$ 、 $BaZrTiO$ 、 $BaSrTiO$ を含む無機酸化物のグループから選択される少なくとも1つの無機酸化物である、前記(13)記載のトランジスタ・デバイス。

(15) 前記有機半導体層の物質はペンタセンである、前記(14)記載のトランジスタ・デバイス。

【図面の簡単な説明】

【図1】従来技術のTFTデバイスの代表的な要素を示す図である。

【図2】本発明に従ったTFTを作製する中間ステップでの形成物の一部を示す図である。

【図3】本発明に従ったTFTを作製する中間ステップでの形成物の一部を示す図である。

【図4】本発明に従ったTFTを作製する中間ステップでの形成物の一部を示す図である。

【図5】本発明に従ったTFTを作製する中間ステップでの形成物の一部を示す図である。

【図6】本発明に従ったTFTの全ての要素を示す図である。

【図7】室温スパッタ蒸着処理装置の図である。

【図8】本発明のTFTデバイスの1例の動作特性であり、半導体としての有機半導体ペンタセンと、ゲート絶縁体として、室温スパッタリングで被着された122nm厚のBZT層のデータ及びソース/ドレイン電圧が一定のときのゲート電圧に対するドレイン電流の依存性を示す図である。

【図9】本発明のTFTデバイスの1例の動作特性であり、図8のデータを、電流変調とサブスレショルド勾配の計算に使用される半対数スケールで示す図である。

【図10】本発明のTFTデバイスの1例の動作特性であり、図9のデータを、電界効果移動度を計算するために、飽和領域のゲート電圧に対して描いたドレイン電流の平方根として示す図である。

【図11】有機半導体ペンタセンを半導体として、室温スパッタリングで被着された122nm厚のBZT層をゲート絶縁体とした、本発明のTFTデバイスの第2の例の動作特性データであり、ソース/ドレイン電圧が一定のとき、ゲート電圧に対するドレイン電流の依存性を示す図である。

【図12】有機半導体ペンタセンを半導体として、室温スパッタリングで被着された122nm厚のBZT層をゲート絶縁体とした、本発明のTFTデバイスの第2の例の動作特性データであり、図11のデータを、電流変調とサブスレショルド勾配の計算に使用される半対数スケールで示す図である。

【図13】有機半導体ペンタセンを半導体として、室温スパッタリングで被着された122nm厚のBZT層をゲート絶縁体とした、本発明のTFTデバイスの第2の例の動作特性データであり、図12のデータを、電界効果移動度を計算するために、飽和領域のゲート電圧の関数としてのドレイン電流の平方根として示す図である。

【図14】有機半導体ペンタセンを半導体として、室温スパッタリングで被着された122nm厚のBZT層をゲート絶縁体とした、本発明のTFTデバイスの第2の例の動作特性データであり、ゲート電圧が異なるときのソース/ドレイン電圧に対するドレイン電流の依存性を示す図である。

【図15】有機半導体ペンタセンを半導体として、室温スパッタリングで被着された122nm厚のBZT層をゲート絶縁体とした、本発明のTFTデバイスの第2の例の動作特性データであり、TFT動作の線形領域での移動度を計算するため、ドレイン電圧が一定のとき、線形領域のゲート電圧の関数としてのドレイン電流を示す図である。

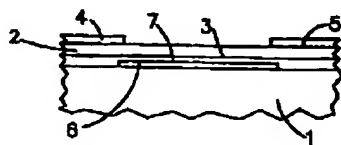
【図16】ペンタセンを半導体として、室温スパッタリングで被着された128nm厚のBZT(BZT)層をゲート絶縁体として、透明ポリカーボネート基板に作製された第3例のTFTデバイスについて、ゲート電圧が異なるときのソース/ドレイン電圧に対するドレイン電流の依存性を示す図である。

【符号の説明】

25、31 RF電源

26、32 インピーダンス・マッチング・デバイス

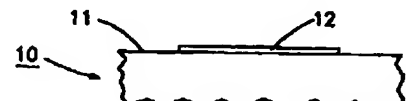
【図1】



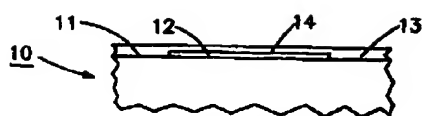
【図2】



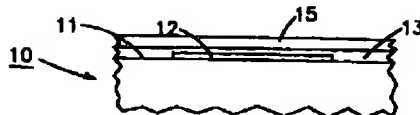
【図3】



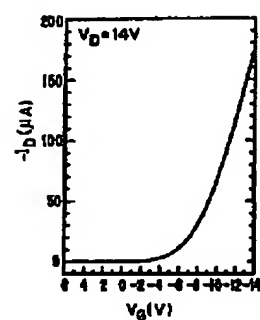
【図4】



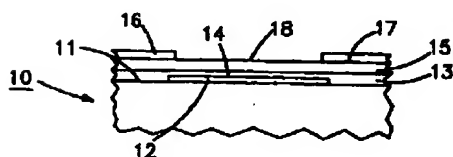
【図5】



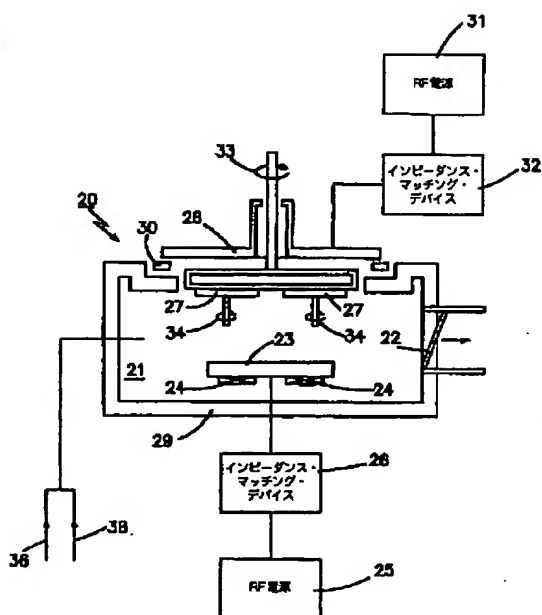
【图8】



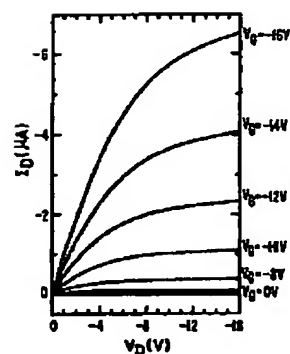
【図6】



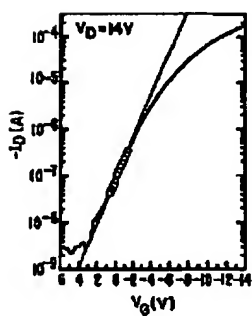
【図7】



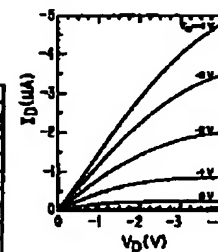
【图 14】



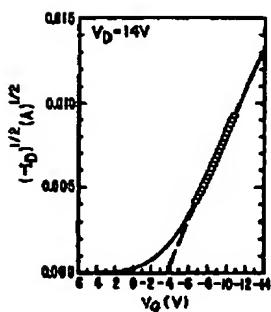
【図9】



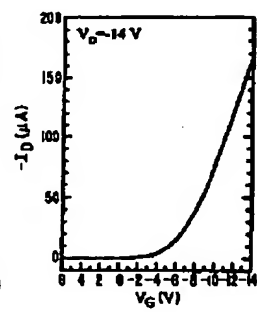
【図15】



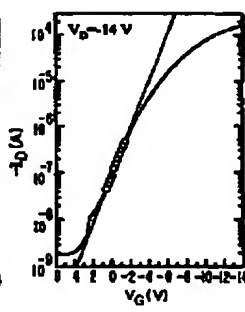
【☒10】



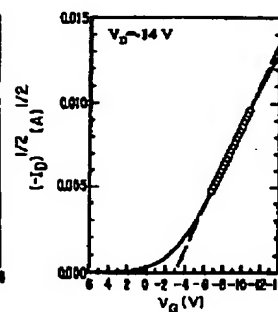
【例 11】



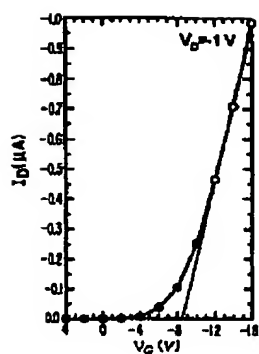
【图 12】



【例 13】



【図16】



フロントページの続き

(72)発明者 アレッサンドロ・セザレ・カレガリ
アメリカ合衆国10598、ニューヨーク州ヨ
ークタウン・ハイツ、ハノーバー・ストリー
ト 756

(72)発明者 クリストス・ディミトリオス・ディミトラ
コポーロス
アメリカ合衆国10604、ニューヨーク州ウ
エスト・ハリソン、レーク・ストリート
791

(72)発明者 サンバス・プルシヨサマン
アメリカ合衆国10598、ニューヨーク州ヨ
ークタウン・ハイツ、ラボリー・コート
2075

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.